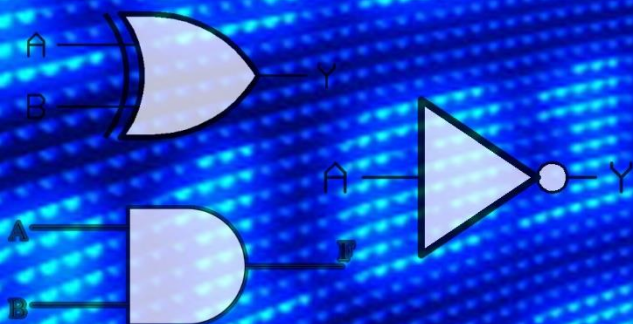


FLIP-FLOP



JOB SHEET

LAB TEKNIK

DIGITAL

FLIP-FLOP J-K

A. Tujuan Kegiatan Praktikum 10 :

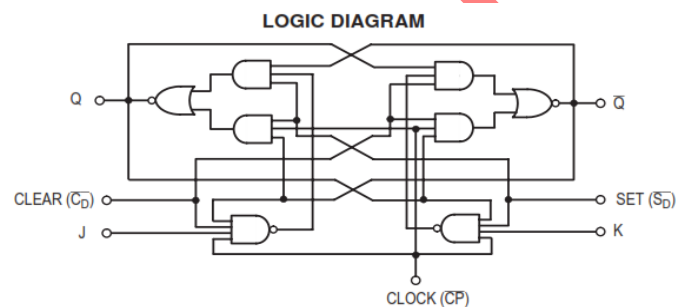
Setelah mempraktekkan Topik ini, anda diharapkan dapat :

- 1) Menjelaskan cara kerja rangkaian FLIP FLOP J-K
- 2) Merangkai rangkaian FLIP FLOP J-K

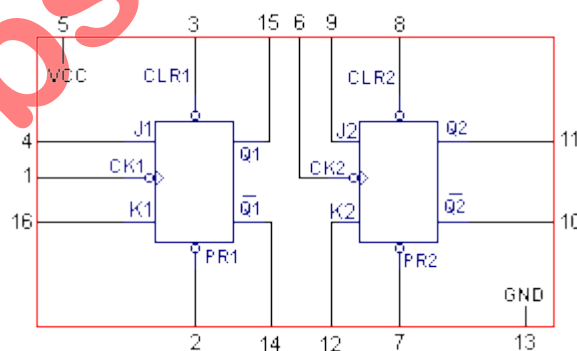
B. Dasar Teori Kegiatan Praktikum 10

1. Flip Flop J-K

Kelemahan flip-flop S-R adalah munculnya output yang tidak dapat didefinisikan ketika input S dan R tinggi untuk jenis NOR dan rendah untuk jenis NAND. Untuk menanggulangnya muncul keadaan tersebut, maka dikembangkan flip-flop J-K, flip-flop J-K dibangun untuk mengantisipasi keadaan terlarang pada flip-flop S-R, dan rangaian ditunjukkan pada gambar di bawah ini.



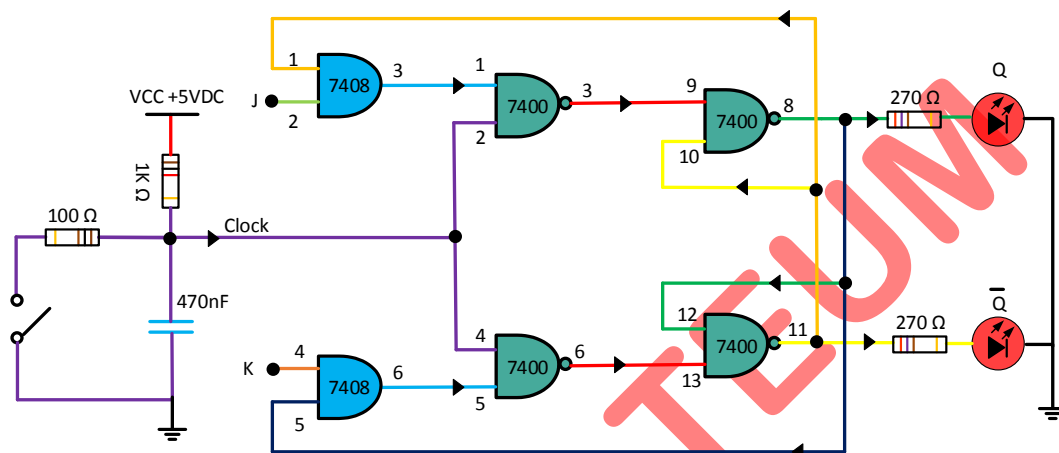
Gambar 1.1 Logic diagram



Gambar 1.2 Konfigurasi pin IC 7476

Konfigurasi diatas telah dapat menghilangkan keadaan terlarang yang terjadi pada flip-flop S-R. Penggunaan flip-flop J-K dapat menimbulkan masalah apabila sinyal input J dan K diberikan bersamaan dengan sinyal clock pemicu. Misal

flip-flop J-K dioperasikan dalam keadaan set, sehingga input diberikan keadaan tinggi ($J = 1$) dan input K diberikan keadaan rendah ($K=0$). Perlu dikemukakan terlebih dahulu bahwa pada umumnya sinyal-sinyal pemicu flip-flop termasuk sinyal input ketika diumpangkan ke input-input flip-flop tidak langsung bernilai tinggi, namun memerlukan waktu tertentu atau mengalami penundaan dalam mencapai keadaan stabil.



Gambar 1.3 Rangkaian Flip Flop J-K

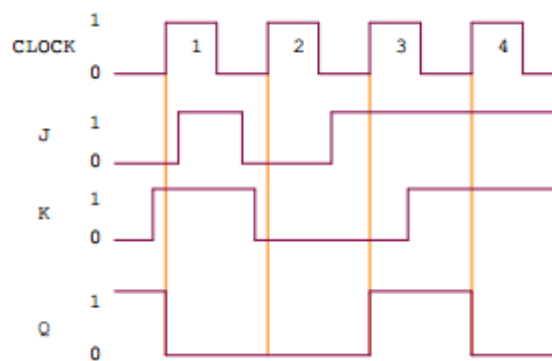
Tabel 1.1 Tabel Kebenaran Flip-Flop S-R dengan Clock

| Input | | | Outputs | | |
|-------|---|---|---------|----|-----------|
| J | K | C | Q | Q' | Comments |
| 0 | 0 | ↑ | Q | Q' | No change |
| 0 | 1 | ↑ | 0 | 1 | RESET |
| 1 | 0 | ↑ | 1 | 0 | SET |
| 1 | 1 | ↑ | Q' | Q | TOOGLE |

Bekerjanya FF ini ditunjukkan oleh bentuk gelombang pada gambar 1.3 yang dapat dianalisa sebagai berikut :

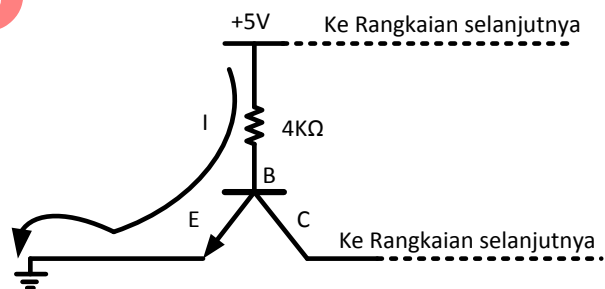
1. Mula-mula semua input adalah 0 dan output Q sama dengan 1.

2. Apabila terjadi sisi menuju positif dari pulsa clock pertama berlangsung pada kondisi $J=0$ dan $K=1$, maka output $Q=0$
3. Pulsa clock kedua mendapatkan $J=0$ dan $K=0$ pada saat melakukan transisi positifnya, ini menyebabkan output Q tetap pada kondisi sebelumnya yaitu $Q=0$.
4. Pulsa clock ketiga mendapatkan $J=1$ dan $K=0$ pada saat melakukan transisi positifnya, ini menyebabkan output $Q=1$.
5. Pulsa clock keempat mendapatkan $J=1$ dan $K=1$ pada saat melakukan transisi positifnya, ini menyebabkan FF toggle sehingga output Q berlawanan dari kondisi sebelumnya, yaitu menjadi $Q=0$



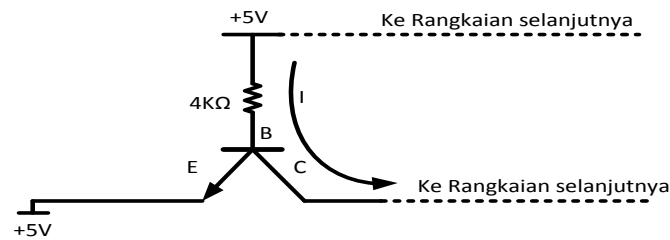
Gambar 1.4 Timing Diagram Flip-Flop J-K dengan Clock

2. KARAKTERISTIK IC TTL



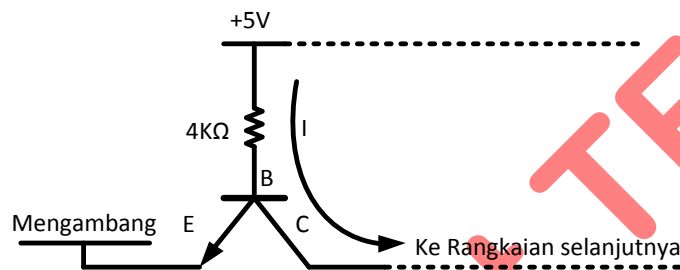
Gambar 1.5 Rangkaian ekivalen input IC TTL (Input = 0)

Bila masukkan IC TTL dihubungkan ground maka ada beda potensial antara basis dan emitter, sehingga arus mengalir menuju emitter, tidak ada arus yang mengalir menuju collector. Input IC TTL sama dengan nol.



Gambar 1.6 Rangkaian ekivalen input IC TTL (Input = 1)

Bila masukan IC TTL dihubungkan dengan +5V, maka tidak ada beda potensial antara basis dan emiter Tr1. Sehingga arus mengalir menuju collector Tr1 dan menuju basis Tr2, tidak ada arus yang mengalir menuju emiter. Input IC TTL sama dengan 1.



Gambar 1.7 Rangkaian ekivalen input IC TTL (Input = 1)

Bila masukan IC TTL tidak dihubungkan dengan +5V atau ground (mengambang), maka tidak ada beda potensial antara basis dan emiter Tr1. Sehingga arus mengalir menuju collector Tr1 dan menuju basis Tr2, tidak ada arus yang mengalir menuju emiter. Input IC TTL sama dengan 1.

D. Lembar Praktikum**1. Alat dan Bahan**

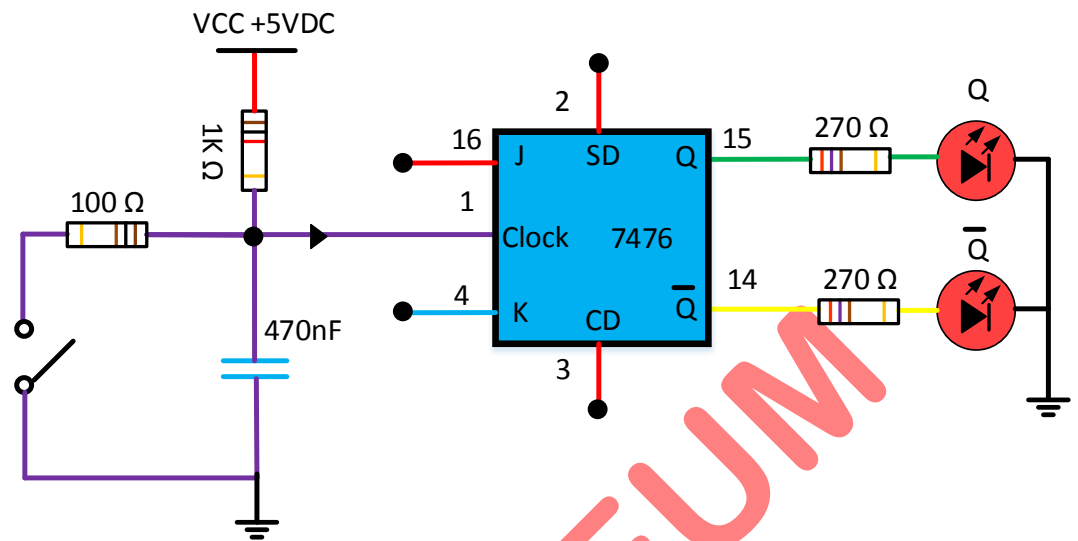
| | |
|-----------------------|------------|
| IC 7476 | 1 buah |
| Project Board | 1 buah |
| Power Supply DC | 1 buah |
| Pinset | 1 buah |
| Push Button | 1 buah |
| Capasitor 470nF | 1 buah |
| Resistor 1K Ω | 1 buah |
| Resistor 270 Ω | 2 buah |
| Resistor 100 Ω | 1 buah |
| LED | 2 buah |
| Jumper | secukupnya |

2. Kesehatan dan Keselamatan kerja

- Periksalah kelengkapan alat dan bahan sebelum digunakan.
- Pelajari dan pahami petunjuk praktikum pada lembar kegiatan praktikum.
- Pastikan tegangan keluaran catu daya sesuai yang dibutuhkan.
- Sebelum catu daya dihidupkan hubungi dosen pendamping untuk mengecek kebenaran rangkaian.
- Yakinkan tempat anda aman dari sengatan listrik.
- Hati-hati dalam penggunaan peralatan praktikum !

3. Langkah percobaan 10

- a) Rakitlah rangkaian seperti gambar 1.8 pada *project board*.



Gambar 1.8 Rangkaian percobaan Flip-Flop J-K

- a) Hubungkan kaki-kaki input J, K, SD, CD dengan Vcc atau ground sesuai dengan kombinasi pada tabel 1.2
- b) Catat keadaan output Q dan \bar{Q} pada tabel 1.2
- c) Buatlah analisa dan kesimpulan dari percobaan tersebut !

Tabel 1.2 Hasil Percobaan

| Clock | Input | | | | Output | |
|-------|-------|----|---|---|--------|-----------|
| | SD | CD | J | K | Q | \bar{Q} |
| 1 | 1 | 1 | 1 | 0 | | |
| 0 | 1 | 1 | 0 | 1 | | |
| 0→1→0 | 1 | 1 | 0 | 1 | | |
| 0→1→0 | 1 | 1 | 1 | 1 | | |
| 0 | 1 | 1 | 0 | 0 | | |
| 0→1→0 | 1 | 1 | 0 | 0 | | |
| 0→1→0 | 1 | 1 | 1 | 0 | | |
| 0 | 1 | 1 | 1 | 1 | | |

Catatan : Clock akan aktif jika push button terhubung

Keterangan :

Led menyala = 1 Logika 1 = vcc (5V)

Led mati = 0 Logika 0 = ground

Push Button ditekan / terhubung = 1

Push Button tidak ditekan / tidak terhubung = 0

Tugas :

- Bagaimana cara membuat keadaan set dan reset pada flip-flop J-K ?
- Buat rangkaian Flip-flop menggunakan gerbang NAND 3 masukan dan gerbang NAND 2 masukan (simulasikan) !

